

(13)

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021891  
 (43)Date of publication of application : 29.01.1993

(51)Int.CI. H01S 3/18

(21)Application number : 03-172059 (71)Applicant : NIPPON TELEGR & TELEPH CORP

<NTT>

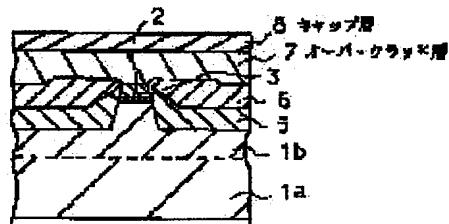
(22)Date of filing : 12.07.1991 (72)Inventor : KONDO YASUHIRO

## (54) MANUFACTURE OF BURIED STRUCTURE SEMICONDUCTOR LASER

### (57)Abstract:

**PURPOSE:** To flatten a buried layer by employing a high concentration n type InP using a group VI dopant upon its being buried and grown.

**CONSTITUTION:** A mesa construction is formed by depositing an active layer 2 and a p-type InP cladding layer 3 on an n type semiconductor substrate 1a or on that on which an n-type InP buffer layer 1b is formed, masking a substrate 1a surface into a stripe shape, and selectively etching the cladding layer 3, an active layer 2, and the buffer layer 1b or the substrate 1a. Then, a region other than the mesa construction is buried with a p-type InP current blocking layer 5 and an n-type InP current confinement layer 6 using a group VI dopant by the use of a mask on the mesa construction upper surface. Further, the mask on the mesa construction upper surface is removed, and a p-type InP cladding layer 7 and a p-type capping layer 8 are deposited over the entire surface of the substrate 1a. Hereby, the n-type InP buried layer is flattened to improve the performance.



### LEGAL STATUS

[Date of request for examination] 20.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3132054

[Date of registration] 24.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's



[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21891

(43) 公開日 平成5年(1993)1月29日

(51) Int. C1.<sup>5</sup>

H O 1 S 3/18

識別記号

庁内整理番号

9170-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2

(全5頁)

(21) 出願番号 特願平3-172059

(22) 出願日 平成3年(1991)7月12日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 近藤 康洋

東京都千代田区内幸町一丁目1番6号 日本

電信電話株式会社内

(74) 代理人 弁理士 秋田 収喜

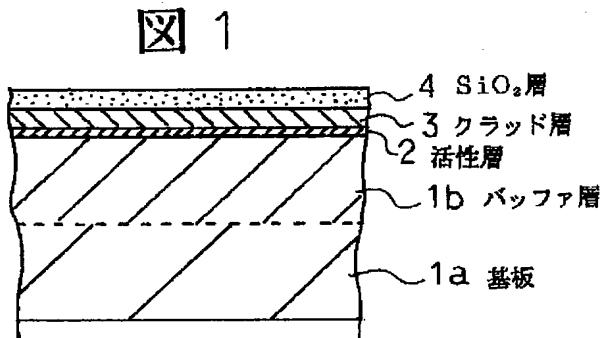
(54) 【発明の名称】埋込み構造半導体レーザの製造方法

## (57) 【要約】

〔目的〕 埋込み層の平坦性を実現し、高性能な半導体レーザが製作できる半導体レーザ製造方法を提供する。

〔構成〕 n形InP半導体基板1または該基板1上にバッファ層1bが形成されている基板上に、活性層2、p形InPクラッド層3を堆積し、前記クラッド層3、活性層2もしくはバッファ層1bを選択的にエッチングしてメサ構造を形成し、該メサ構造以外の領域をp形InP電流プロック層5及びVI族ドーパントを用いたn形InP電流閉じ込め層6で埋込み、電流狭窄及び光閉じ込め層を形成し、該基板全面にp形InPクラッド層7とp形キャップ層8を堆積する半導体レーザの製造方法である。

〔効果〕 レーザ特性の均一性、制御性を向上することができ、さらに、レーザ製作の歩留まりを向上することができる。



**【特許請求の範囲】**

**【請求項1】** n形InP半導体基板上または該基板上にn形InPバッファ層が形成されている基板上に、活性層とp形InPクラッド層を堆積する工程と、該基板表面をストライプ状にマスクし、前記クラッド層、活性層、バッファ層または当該半導体基板を選択的にエッチングしてメサ構造を形成する工程と、該メサ構造上面のマスクを用いてメサ構造以外の領域をp形InP電流ブロック層及びVI族ドーパントを用いたn形InP電流閉じ込め層で埋込み、電流狭窄及び光閉じ込め層を形成する工程と、メサ構造上面のマスクを除去し、該基板全面にp形InPクラッド層とp形キャップ層を堆積する工程を備えたことを特徴とする半導体レーザの製造方法。

**【請求項2】** n形InP半導体基板上または該基板上にn形InPバッファ層が形成されている基板上に、活性層、p形InPクラッド層、p形キャップ層を堆積する工程と、該基板表面をストライプ状にマスクし、前記キャップ層、クラッド層、活性層、バッファ層または当該半導体基板を選択的にエッチングしてメサ構造を形成する工程と、該メサ構造上面のマスクを用いてメサ構造以外の領域をp形InP電流ブロック層及びVI族ドーパントを用いたn形InP電流閉じ込め層で埋込み、電流狭窄及び光閉じ込め層を形成する工程を備えたことを特徴とする半導体レーザの製造方法。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、有機金属気相成長法を用いた埋込み構造半導体レーザの製造方法に関するものである。

**【0002】**

**【従来の技術】** 埋込み構造半導体レーザを製作する場合、活性領域を含んだメサ構造を選択的に埋め込む工程が必要である。この工程を有機金属気相成長法を用いて行う場合、有機金属気相成長法が非平衡輸送律則であるためにメサ両端に異常成長が発生し、メサ構造を平坦に埋め込むことが困難であった。そのため、従来技術においては図8に示すように、高さを低く(厚さh<1μm)抑えたメサ構造を用い、2回の埋込み成長を行うことにより、埋込み構造レーザ素子を製作したり、また、図9に示すようにメサ高の高いメサ構造を用いたいときは、メサ上部の選択マスクに底を形成してメサ両端の成長を抑えるメサ構造を用いて埋込み成長を行いレーザ構造を製作したりしていた。なお、図8及び図9において、11aはn形基板、11bはn形バッファ層、12は活性層、13はp形クラッド層、14はSiO<sub>2</sub>膜、15はp形電流ブロック層、16はn形電流閉じ込め層、17はp形オーバークラッド層、18はp形キャップ層である。

**【0003】**

**【発明が解決しようとする課題】** しかしながら、高さを

低く抑えたメサ構造を用いた場合、埋込み層でp・n逆バイアスにより十分な電流ブロックを行なうためには1.5~2.0μm程度の膜厚が必要であり、メサ両端の埋込み層が大きく盛り上がる(1.0μm以上)ことになる。そのため、2回目の埋込み成長で基板全面に成長を行って素子表面の平坦化を行うことが困難であり、その後の電極分離、素子間分離の工程に支障をきたすことになる。また、底付き選択マスクを用いる場合はメサ構造形成にウェットエッチングを用いる必要があり、メサ形状の制御性の点で問題があった。そのため、レーザ特性の均一性、制御性の低下、レーザ製作の歩留まりの低下の原因になった。

**【0004】** 本発明は、前記問題点を解決するためになされたものであり、本発明の目的は、メサ構造埋込み成長時にVI族のドーパントを用いた高濃度n形InPを使用することにより、埋込み層の平坦性を実現し、高性能な半導体レーザの製作が可能な技術を提供することにある。

**【0005】**

**【課題を解決するための手段】** 前記目的を達成するためには、本発明の(1)手段である半導体レーザの製造方法においては、n形InP半導体基板上または該基板上にn形InPバッファ層が形成されている基板上に、活性層とp形InPクラッド層を堆積する工程と、該基板表面をストライプ状にマスクし、前記クラッド層、活性層、バッファ層または当該半導体基板を選択的にエッチングしてメサ構造を形成する工程と、該メサ構造上面のマスクを用いてメサ構造以外の領域をp形InP電流ブロック層及びVI族ドーパントを用いたn形InP電流閉じ込め層で埋込み、電流狭窄及び光閉じ込め層を形成する工程を備えたことを特徴とする半導体レーザの製造方法。

**【0006】** (2)手段である半導体レーザの製造方法においては、n形InP半導体基板上または該基板上にn形InPバッファ層が形成されている基板上に、活性層、p形InPクラッド層、p形キャップ層を堆積する工程と、該基板表面をストライプ状にマスクし、前記キャップ層、クラッド層、活性層、バッファ層または当該半導体基板を選択的にエッチングしてメサ構造を形成する工程と、該メサ構造上面のマスクを用いてメサ構造以外の領域をp形InP電流ブロック層及びVI族ドーパントを用いたn形InP電流閉じ込め層で埋込み、電流狭窄及び光閉じ込め層を形成する工程を備えたことを特徴とする。

**【0007】**

**【作用】** 前述の手段によれば、有機金属気相成長法を用いたメサ構造埋込み工程において、n形InP埋込み層にVI族ドーパントを用い、VI族ドーパント高濃度ドーピングn形InPに特徴的な(100)ファッセットを出

した成長過程を利用して、メサ両端の埋込み層の異常成長及び盛り上がりを抑制し、埋込み層表面を平坦化できる。

【0008】すなわち、従来の技術では、有機金属気相成長法で埋込み成長を行う場合は異常成長を抑え、平坦性を向上させるためにメサ高を低く抑えたり、底付き選択マスクを用いたりしているので、メサを低く抑えた場合は平坦な結晶表面を得ることが困難であり、また、底を作成するためにはウェットエッチングを用いるためメサ形状の制御性に問題が残る。しかし、本発明では、特別なメサ構造を用いることなく有機金属気相成長特有の成長機構を利用することにより、埋込み層を平坦化することができ、低いメサ構造を用いた場合でも平坦な素子表面を得ることが可能である。また、高いメサを用いる場合でも底を形成することなく異常成長はもちろん埋込み層の大きな盛り上がりも抑制して埋め込むことが可能であり、ドライエッ칭のみにより形成したメサ構造を使用することが可能である。これらにより、レーザ特性の均一性、制御性を向上することができ、さらにレーザ製作の歩留を向上することができる。

#### 【0009】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0010】【実施例1】図1乃至図4は、本発明の半導体レーザの製造方法の実施例1を説明するための製造工程における各部の断面図である。

【0011】本実施例1の半導体レーザの製造方法は、まず、図1に示すように、(100)面n形InP基板1a上に、Seドープn形InPバッファ層1b(厚さd=2.0μm)、アンドープInGaAsP活性層2(厚さd=0.1μm)及びp形InPクラッド層3(厚さd=0.3μm)をMOVPE法によって成長する。この成長面上にスパッタリング法によってSiO<sub>2</sub>膜4を堆積する。

【0012】次に、図2に示すように、前記SiO<sub>2</sub>膜4をフォトグラフィ技術によって<011>方向にストライプ幅1.5μmのSiO<sub>2</sub>ストライプマスク4Aを形成する。そして、塩素アルゴン系のリアクティブイオンエッチング(RIE)装置を使用して高さ1.0μm程度のメサ構造を形成する。この時、メサ構造の形成はすべてドライプロセスで行われるため、メサ形状は高い制御性を持つ。

【0013】次に、図3に示すように、メサ構造上面のSiO<sub>2</sub>膜4からなるSiO<sub>2</sub>ストライプマスク4Aをそのまま選択成長用マスクとして用い、メサ構造以外の領域を埋め込むようにして、MOVPE法を用いてZnドープp形InP電流ブロック層5、Seドープn形InP電流閉じ込め層6を成長する。p形InP層5、n形InP層6は、電流狭窄及び光閉じ込め層として働く。この時、n形InP層6のSeドープ量を5×10<sup>18</sup>[atoms/cm<sup>3</sup>]以上になると、メサ構造側面のn形InP埋込み層は、(100)ファッセットを出した成長となり、(100)ファッセット面の成長が抑制され、(100)オーファンジル部の成長速度が早くなるため、埋込み層表面が(100)面を出した平坦な形状となる。次に、HFによってメサ上部のSiO<sub>2</sub>膜4を除去する。

【0014】その後、図4に示すように、基板全面にp形InPオーバークラッド層7(厚さd=1.0μm)、p形InGaAsPキャップ層8(厚さd=0.5μm)を成長する。埋込み成長を行った時点ではほぼ平坦な結晶表面が得られているために、基板全面に成長を行った後はまったく平坦な表面を持つ素子構造となる。

【0015】【実施例2】図5乃至図7は、本発明の半導体レーザの製造方法の実施例2を説明するための製造工程における各部の断面図である。

【0016】本実施例2の半導体レーザの製造方法は、まず、図5に示すように、(100)面n形InP基板1a上にSeドープn形InPバッファ層1b(厚さd=2.0μm)、アンドープInGaAsP活性層2(厚さd=0.1μm)、p形InPクラッド層3(厚さd=1.2μm)、p形InGaAsPキャップ層8(厚さd=0.5μm)をMOVPE法によって成長する。この成長面上にスパッタリング法によってSiO<sub>2</sub>膜4を堆積する。

【0017】次に、図6に示すように、前記SiO<sub>2</sub>膜4をフォトグラフィ技術によって<011>方向にストライプ幅1.5μmのSiO<sub>2</sub>ストライプマスク4Aを形成する。そして、塩素アルゴン系のリアクティブイオンエッチング(RIE)装置を使用して高さ2.0μm程度のメサ構造を形成する。

【0018】次に、図7に示すように、メサ構造上面のSiO<sub>2</sub>膜4からなるSiO<sub>2</sub>ストライプマスク4Aをそのまま選択成長用マスクとして用い、メサ構造以外の領域を埋め込むようにして、MOVPE法を用いてZnドープp形InP電流ブロック層5、Seドープn形InP電流閉じ込め層6を成長する。p形InP層5、n形InP層6は、電流狭窄及び光閉じ込め層として働く。この時、n形InP層6のSeドープ量を5×10<sup>18</sup>[atoms/cm<sup>3</sup>]以上になると、メサ構造側面のn形InP埋込み層は、(100)ファッセットを出した成長となり、(100)ファッセット面の成長が抑制され、(100)オーファンジル部の成長速度が早くなるため、埋込み層表面が(100)面を出した平坦な形状となる。さらに、HFによってメサ上面のSiO<sub>2</sub>膜4を除去し素子構造を形成する。

【0019】このようにして製作した素子は、埋込み成長過程の特性を利用したものであり、メサ構造を制限することができなく、表面が平坦なレーザ素子を製作することが可能である。

【0020】前記実施例の中でメサ構造形成方法として塩素アルゴン系ドライエッ칭を用いたが、他の方法でメサ構造の形成を行っても良い。

【0021】また、前記実施例では、VI族ドーパントとしてSeを用いたが、S, Teを用いても可能なことは、容易に類推できる。

【0022】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されることなく、その要旨を逸脱しない範囲において種々変更し得ることはいうまでもない。

#### 【0023】

【発明の効果】以上、説明したように、本発明によれば、埋込み成長時にVI族のドーパントを用いた高濃度のn形InPを使用することにより、半導体レーザ素子表面の平坦性を向上させることができるので、素子形成後のプロセス、例えば、電極分離などが容易に行うことができる。また、使用するメサ構造は、底を形成する等の制限がなくドライエッチングのみで形成することができるので、レーザ特性の均一性、制御性を向上することができ、さらに、レーザ製作の歩留まりを向上することができる。

#### 【図面の簡単な説明】

【図1】 本発明の半導体レーザの製造方法の実施例1を説明するための製造工程における各部の断面図、

【図2】 本発明の半導体レーザの製造方法の実施例1

を説明するための製造工程における各部の断面図、

【図3】 本発明の半導体レーザの製造方法の実施例1を説明するための製造工程における各部の断面図、

【図4】 本発明の半導体レーザの製造方法の実施例1を説明するための製造工程における各部の断面図、

【図5】 本発明の半導体レーザの製造方法の実施例2を説明するための製造工程における各部の断面図、

【図6】 本発明の半導体レーザの製造方法の実施例2を説明するための製造工程における各部の断面図、

【図7】 本発明の半導体レーザの製造方法の実施例2を説明するための製造工程における各部の断面図、

【図8】 従来の半導体レーザの製造方法の問題点を説明するための断面図、

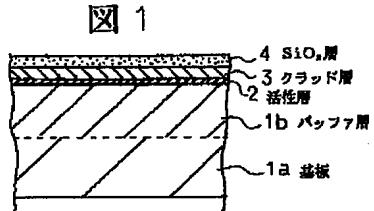
【図9】 従来の半導体レーザの製造方法の問題点を説明するための断面図。

#### 【符号の説明】

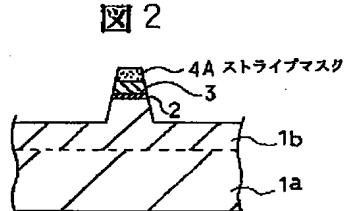
1a…n形InP基板、1b…Seドープn形InPバッファ層、2…アンドープInGaAsP活性層、3…p形InPクラッド層、4…SiO<sub>2</sub>膜、4A…SiO<sub>2</sub>ストライプマスク

20 5…p形InP電流プロック層、6…n形InP電流閉じ込め層、7…p形InPオーバークラッド層、8…p形InGaAsPキャップ層。

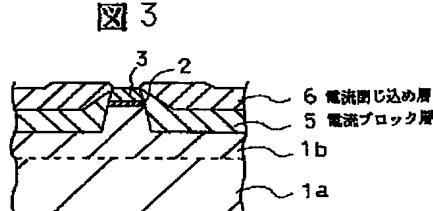
【図1】



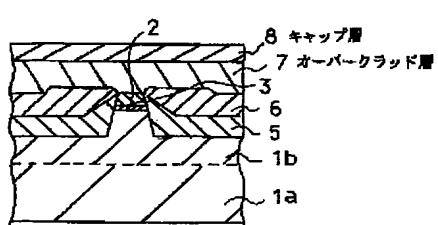
【図2】



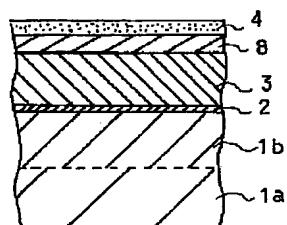
【図3】



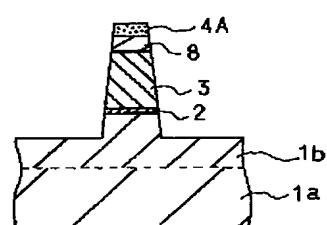
【図4】



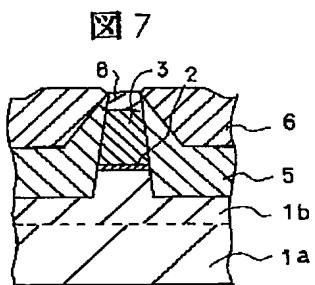
【図5】



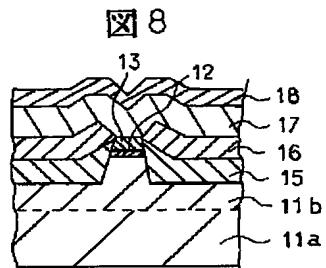
【図6】



【図7】



【図8】



【図9】

